



(Translation)

PATENT OFFICE
JAPANESE GOVERNMENT



RS

2

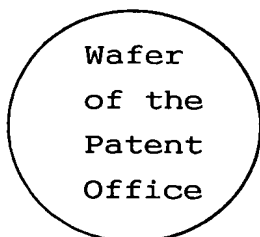
This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : March 4, 1996

Application Number : Heisei 8
Patent Appln. No. 045760

Applicant(s) : MATSUSHITA ELECTRIC
INDUSTRIAL CO., LTD.

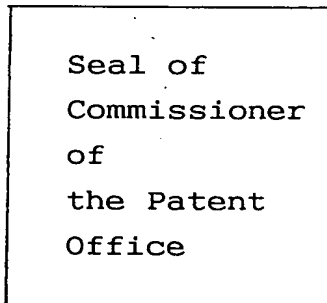
BEST AVAILABLE COPY



January 17, 1997

Hisamitsu ARAI

Commissioner,
Patent Office



Appln. Cert. No.

Appln. Cert. Pat. Hei 08-3096049



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

69392 U.S. PTO
08/808017
03/03/97

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1 9 9 6 年 3 月 4 日

出 願 番 号
Application Number:

平成 8 年特許願第 0 4 5 7 6 0 号

出 願 人
Applicant (s):

松下電器産業株式会社

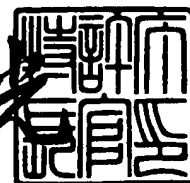
BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

1 9 9 7 年 1 月 1 7 日

特 許 庁 長 官
Commissioner,
Patent Office

荒井 寿光



出証番号 出証特平 0 8 - 3 0 9 6 0 4 !

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005821
【住所又は居所】 大阪府門真市大字門真1006番地
【氏名又は名称】 松下電器産業株式会社
【代理人】 申請人
【識別番号】 100078204
【住所又は居所】 大阪府門真市大字門真1006 松下電器産業株式
会社内
【氏名又は名称】 滝本 智之
【選任した代理人】
【識別番号】 100097445
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業
株式会社内
【氏名又は名称】 岩橋 文雄

【書類名】 特許願

【整理番号】 2020280047

【提出日】 平成 8年 3月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/28

【発明の名称】 DMA転送方法およびDMAコントローラ

【請求項の数】 3

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 橋本 祐一

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 書上 透

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 鈴木 正人

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 春日 義昭

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 安井 純一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 森下 洋一

【代理人】

【識別番号】 100078204

【弁理士】

【氏名又は名称】 滝本 智之

【選任した代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9308195

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DMA転送方法およびDMAコントローラ

【特許請求の範囲】

【請求項1】 DMAコントローラがバス使用権を獲得して行うDMA転送において、1回の操作による複数個のデータのDMA転送中に、前記DMAコントローラ外のバスマスターへ少なくとも1回はバス使用権を解放することを特徴とするDMA転送方法。

【請求項2】 バス調停手段に対してバス使用要求を発し、前記バス調停手段からバス使用権を得てDMA転送を行うDMAコントローラにおいて、転送するデータの個数を指定する転送回数レジスタと、1回の連続転送により転送するデータの個数を指定する間欠転送回数レジスタと、転送されたデータの数を数える転送回数カウンタと、転送制御手段とを備え、前記転送制御手段は前記転送回数カウンタにより、前記間欠転送回数レジスタに設定された回数だけ転送が実行されたことが判明すると、前記転送回数レジスタに設定された回数だけ転送が実行されていない場合であっても一旦バス使用要求を中断してバス使用権を解放し、再びバス使用権を得た後に転送を再開することを特徴とするDMAコントローラ。

【請求項3】 前記転送制御手段は、一旦バス使用要求を中断してバス使用権を解放するときに実行した転送回数分だけ前記転送回数レジスタの値を減じ、再びバス使用権を得た後は減ぜられ前記転送回数レジスタの値に基づいて転送を再開することを特徴とする請求項2記載のDMAコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CPUを介さずにメモリや周辺装置との間のデータ転送を行うDMA転送方法およびそのDMA転送を制御するDMAコントローラに関するものである。

【0002】

【従来の技術】

DMAコントローラとは、メモリやI/O装置などの外部装置間のデータ転送を、CPUを介さず高速に実行するために用いられる制御装置である。図5は従来のDMAコ

ントローラの動作概念図を示したものである。この従来のDMAコントローラにおいてデータ転送を実行する場合、同図（a）に示すバースト転送中に他のバスマスターが長時間待機させられるのを防ぐために、同図（b）に示す、DMAコントローラが1回転送する度に他のバスマスターにバスを開放しながら転送を行なう方法（1語転送）や、同図（c）に示す、他のバスマスターがバスを使用していない時のみDMAを実行する方法（サイクルスチール転送）が行なわれていた。

【0003】

【発明が解決しようとする課題】

DMA転送においては、DMAコントローラ及び他のバスマスター両方の転送効率を上げることが要求されている。

【0004】

しかしながら、1語転送では、DMA転送が連続に行なえないので、特にDRAMのページモードなどの高速転送モードを使えないためにDMA転送効率が非常に悪くなるといった問題点、またはサイクルスチール転送では、前記と同様の問題の他に、他のバスマスタが長時間バスの使用权を獲得した場合にはDMAコントローラにはバスの使用权が与えられず、その結果DMA転送が待たされ、所定の時間内に転送を完了することができない、といった問題点を有していた。

【0005】

本発明はかかる点に鑑み、DMA転送中であっても他のバスマスターが長時間待機させられることなく、かつ、所定の時間DMAコントローラがバスの使用权を獲得しその間はDMA転送が連続に行なえるDMA転送方法およびDMAコントローラを提供することを目的とする。

【0006】

【課題を解決するための手段】

この課題を解決するため請求項1記載の本発明のDMA転送方法は、DMAコントローラがバス使用权を獲得して行うDMA転送において、1回の操作による複数個のデータのDMA転送中に、前記DMAコントローラ外のバスマスターへ少なくとも1回はバス使用权を解放するようにしたものである。

【0007】

これにより、DMA転送中であっても他のバスマスターが長時間待機させられることがない。

【0008】

また請求項2記載の本発明のDMAコントローラは、バス調停手段に対してバス使用要求を発し、前記バス調停手段からバス使用権を得てDMA転送を行うDMAコントローラにおいて、転送するデータの個数を指定する転送回数レジスタと、1回の連続転送により転送するデータの個数を指定する間欠転送回数レジスタと、転送されたデータの数を数える転送回数カウンタと、転送制御手段とを設け、前記転送制御手段は前記転送回数カウンタにより、前記間欠転送回数レジスタに設定された回数だけ転送が実行されたことが判明すると、前記転送回数レジスタに設定された回数だけ転送が実行されていない場合であっても一旦バス使用要求を中断してバス使用権を解放し、再びバス使用権を得た後に転送を再開するように構成したものである。

【0009】

これにより、DMA転送中であっても他のバスマスターが長時間待機させられることなく、かつ、所定の時間DMAコントローラがバスの使用権を獲得しその間はDMA転送が連続に行なえる。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態について、図1から図4を用いて説明する。

【0011】

図1は、本発明の実施の形態におけるDMAコントローラを用いた情報処理装置のブロック図である。情報処理装置408は、CPU401と周辺装置404とDMAコントローラ11とバスコントローラ9とそれらを結合する内部バス406とから構成され、さらに外部バス407によって外部メモリ405と接続されている。バスコントローラ9は、内部バス406と外部バス407とを制御し、バスマスターとしてCPU401とDMAコントローラ11を持つ。301はCPU401が内部バス406および外部バス407の使用をバスコントローラ9に対して要求するCPU転送要求信号、101は周辺装置404がDMAコントローラ11に対してDM

A転送を要求するDMA起動要求信号である。

【0012】

図2はDMAコントローラ11のブロック図である。このDMAコントローラ11はDMA転送のソースアドレスを格納する転送元アドレスレジスタ1aと、DMA転送のデスティネーションアドレスを格納する転送先アドレスレジスタ1bと、DMA転送すべき転送回数を格納する転送回数レジスタ2と、何回目の転送が終了した時にバス使用权を解放するかを設定する間欠転送回数レジスタ3と、読み出しアクノリッジ信号106をカウントするカウンタ4と、転送終了信号102をカウントするカウンタ5と、転送終了信号102がアサートされる毎に転送回数レジスタ2の出力を1減じて再び転送回数レジスタ2に出力するデクリメンタ6と、読み出しアクノリッジ信号106および書き込みアクノリッジ信号110を受け、転送元アドレスレジスタ1aおよび転送先アドレスレジスタ1bの内容を読み出して転送元アドレス105aおよび転送先アドレス105bを生成するアドレス生成部7と、DMA起動要求101と読み出しアクノリッジ信号106および書き込みアクノリッジ信号110とカウンタ4の出力108とカウンタ5の出力109と間欠転送回数レジスタ3の出力111とを入力し、全転送終了信号103とDMA転送要求信号104とを出力するDMA転送制御部8とから構成される。又、9は内部バス406および外部バス407の使用权の調停を含む制御を行なうバスコントローラである。

【0013】

以上のように構成された本発明の実施の形態によるDMAコントローラについて、図3および図4を用いて以下その動作を説明する。

【0014】

図3は、DMA転送の動作例を示す動作概念図で、左から右へ時系列順にデータ転送が実行されることを示し、1つの囲みが1回の転送を、そして囲みの中がバスマスターを示している。DMAコントローラ11がバスを使用し連続する複数回の転送のひとかたまりを間欠転送と呼び、同図では12回の転送をそれぞれが4回の転送からなる第1から第3の間欠転送に分けて行っている。間欠転送と次の間欠転送との間はCPU401がバスを使用している。

【0015】

図4は図3における第1の間欠転送の動作タイミング図であり、上から順に、クロック、DMA起動要求信号101、DMA転送要求信号104、バスコントローラ9からDMA転送制御部8へDMA転送要求を受け付け、読み出しを開始したことを知らせる読み出しアクノリッジ信号106、カウンタ4の出力108、バスコントローラ9からDMA転送制御部8へ書き込みを開始したことを知らせる書き込みアクノリッジ信号110、バスコントローラ9からDMA転送制御部8へ転送が終了したことを知らせる転送終了信号102、カウンタ5の出力109、転送回数レジスタ2、転送元アドレス105a、転送先アドレス105b、CPU転送要求信号301、外部バス407、そして内部バス406の値をクロックのサイクル毎に示している。なお、DMA起動要求信号101とCPU転送要求信号301とはハイ状態のときに信号がアサートされるアクティブハイで、DMA転送要求信号104と読み出しアクノリッジ信号106と書き込みアクノリッジ信号110と転送終了信号102とはロー状態のときに信号がアサートされるアクティブローで表現している。

【0016】

次に、このような情報装置408において、DMAコントローラ11が外部メモリ405から周辺装置404へのデータ転送を実行する場合の動作をサイクル毎に詳細に説明する。ここでは、外部メモリ405の1000番地から1011番地にある12個のデータを周辺装置404の2000番地から2011番地へ、3回の間欠転送に分けて転送するものとする。

【0017】

(前処理)

まず、転送元アドレスレジスタ1aおよび転送先アドレスレジスタ1bにそれぞれ転送元・転送先アドレスである1000と2000を設定し、転送回数レジスタ2には12、間欠転送回数レジスタ3には4を設定する。

【0018】

(t0サイクル)

周辺装置404はDMA転送制御部8に対してDMA起動要求信号101をアサート

する。

【0019】

(t1サイクル)

DMA転送制御部8はDMA起動要求信号101を検知し、DMA転送要求信号104をバスコントローラ9へ出力する。又、転送元アドレスレジスタ1aおよび転送先アドレスレジスタ1bの内容を読み出し、アドレス生成部7に入力する。アドレス生成部7は転送元アドレス105aに1000番地を転送先アドレス105bに2000番地をバスコントローラ9に出力する。

【0020】

(t2サイクル)

バスコントローラ9は、DMA転送制御部8からのDMA転送要求104を検知して外部バス407により外部メモリ405の1000番地の読み出しを開始し、同時に読み出しアクノリッジ信号106をDMA転送制御部8に出力する。

【0021】

(t3サイクル)

アドレス生成部7は、読み出しアクノリッジ信号106が入力されたのを検知すると転送元アドレス105aを次の1001番地に更新しバスコントローラ9に出力する。またカウンタ4は読み出しアクノリッジ信号106をカウントし内容を1にする。

【0022】

(t4サイクル)

バスコントローラ9は、外部バス407による1000番地の読み出しが終了したことにより外部メモリ405に対して次の1001番地の読み出しを開始するとともに、1000番地から読み出したデータの内部バス406を介しての周辺装置404の2000番地への書き込みを開始し、同時に読み出しアクノリッジ信号106および書き込みアクノリッジ信号110をDMA転送制御部8に出力する。

【0023】

(t5サイクル)

アドレス生成部7は、読み出しアクノリッジ信号106が入力されたのを検知

すると転送元アドレス105aを次の1002番地に更新し、書き込みアクノリッジ信号110が入力されたのを検知すると転送先アドレス105bを次の2001番地に更新しバスコントローラ9に出力する。またカウンタ4は読み出しアクノリッジ信号106をカウントし内容を2にする。

【0024】

(t6サイクル)

バスコントローラ9は、外部バス407による1001番地の読み出しが終了したことにより外部メモリ405に対して次の1002番地の読み出しを開始するとともに、1001番地から読み出したデータの内部バス406を介しての周辺装置404の2001番地への書き込みを開始し、同時に読み出しアクノリッジ信号106および書き込みアクノリッジ信号110をDMA転送制御部8に出力する。又、内部バス406による2000番地の書き込みが終了したことにより、バスコントローラ9はDMA転送制御部8へ転送終了信号102を送る。

【0025】

(t7サイクル)

アドレス生成部7は、読み出しアクノリッジ信号106が入力されたのを検知すると転送元アドレス105aを次の1003番地に更新し、書き込みアクノリッジ信号110が入力されたのを検知すると転送先アドレス105bを次の2002番地に更新しバスコントローラ9に出力する。またカウンタ4は読み出しアクノリッジ信号106をカウントし内容を3に、カウンタ5は転送終了信号102をカウントし内容を1にする。さらにまた転送終了信号102により、転送回数レジスタ2はデクリメンタ6の出力する11を取り込む。

【0026】

(t8サイクル)

バスコントローラ9は、外部バス407による1002番地の読み出しが終了したことにより外部メモリ405に対して次の1003番地の読み出しを開始するとともに、1002番地から読み出したデータの内部バス406を介しての周辺装置404の2002番地への書き込みを開始し、同時に読み出しアクノリッジ信号106および書き込みアクノリッジ信号110をDMA転送制御部8に出力する。又、内部バ

ス406による2001番地の書き込みが終了したことにより、バスコントローラ9はDMA転送制御部8へ転送終了信号102を送る。

【0027】

(t9サイクル)

アドレス生成部7は、書き込みアクノリッジ信号110が入力されたのを検知すると転送先アドレス105bを次の2003番地に更新しバスコントローラ9に出力する。またカウンタ4は読み出しアクノリッジ信号106をカウントし内容を4に、カウンタ5は転送終了信号102をカウントし内容を2にする。さらにまた転送終了信号102により、転送回数レジスタ2はデクリメンタ6の出力する10を取り込む。このとき間欠転送回数レジスタ3の出力111とカウンタ4の出力108が共に4となって一致し、DMA転送制御部8は1回の間欠転送が終了したと判断し、DMA転送要求信号104のアサートを終了する。

【0028】

(t10サイクル)

バスコントローラ9は、外部バス407による1003番地の読み出しが終了したことにより1003番地から読み出したデータの内部バス406を介しての周辺装置404の2003番地への書き込みを開始し、同時に書き込みアクノリッジ信号110をDMA転送制御部8に出力する。又、内部バス406による2002番地の書き込みが終了したことにより、バスコントローラ9はDMA転送制御部8へ転送終了信号102を送る。

【0029】

(t11サイクル)

カウンタ5は転送終了信号102をカウントし内容を3にする。さらにまた転送終了信号102により、転送回数レジスタ2はデクリメンタ6の出力する9を取り込む。

【0030】

(t12サイクル)

バスコントローラ9は、内部バス406による2003番地の書き込みが終了したことにより、バスコントローラ9はDMA転送制御部8へ転送終了信号102を送

る。

【0031】

(t13サイクル)

カウンタ5は転送終了信号102をカウントし内容を4にする。さらにまた転送終了信号102により、転送回数レジスタ2はデクリメンタ6の出力する8を取り込む。このとき間欠転送回数レジスタ3の出力111とカウンタ5の出力109が共に4となって一致する。

【0032】

(t14サイクル)

t13サイクルで間欠転送回数レジスタ3の出力111とカウンタ5の出力109が一致したことにより、DMA転送制御部8は再びDMA転送要求信号104をバスコントローラ9に出力する。しかし、バスコントローラ9は、t13サイクルにおいてCPU401からのCPU転送要求信号301を検知し、t14サイクルではバス調停の結果としてCPU401をバスマスターとして転送を起動している。この転送は図3の第1間欠転送と第2間欠転送との間の転送に相当する。従って、DMA転送要求信号104はCPU401の転送が終了するまで出力され続ける。もしCPU401からの転送要求301がなければ、バスコントローラ9はt14サイクルの次のサイクルにおいてDMA転送要求信号104を受け付ける。

【0033】

以上のような過程によって第1の間欠転送が実行され、外部バス407を介して外部メモリ405の1000～1003番地から読み出されたデータが内部バス406を介して周辺装置404の2000～2003番地に書き込まれる。図3における第2の間欠転送は、t14サイクルから出力され続けたDMA転送要求信号104がバスコントローラ9に検知された時より開始され、第1の間欠転送と同様に実行され、外部バス407を介して外部メモリ405の1004～1007番地から読み出されたデータが内部バス406を介して周辺装置404の2004～2007番地に書き込まれる。第3の間欠転送においても同様に、外部バス407を介して外部メモリ405の1008～1011番地から読み出されたデータが内部バス406を介して周辺装置404の2008～2011番地に書き込まれる。第3の間欠転送において、4回目の転送終

了信号102がアサートされると転送回数レジスタ2の内容は0になる。これにより、転送回数レジスタに示す転送回数が全て終了したので、DMA転送制御部8はバス制御部9に全転送終了信号103を出力し、全ての転送を終える。

【0034】

以上のように本発明の実施の形態によれば、転送回数レジスタ2と間欠転送回数レジスタ3とカウンタ4とカウンタ5とデクリメンタ6とを設けることにより、間欠転送回数レジスタ3に設定した回数分の転送を終了する度にCPU401にバス使用权を解放し、CPU401の転送の終了後に再びDMA転送を再開するという間欠転送が実現でき、しかも間欠転送のサイクルがレジスタ設定可能であるため、CPU401からの要求頻度を考慮に入れた適切な間欠転送が実現できるので、CPU401を待機させる時間を低減でき、効率を向上させることができる。

【0035】

なお本発明の実施の形態では、DMAコントローラ11以外のバスマスターとしてCPU401をあげているが、CPU以外の装置がバスマスターである場合も同様である。またバスマスターが3つ以上存在する場合であっても本発明が応用可能であることは言うまでもない。

【0036】

【発明の効果】

以上説明したように本発明によれば、DMAコントローラに間欠転送回数レジスタと転送回数カウンタを設け、間欠転送レジスタに設定された回数だけ転送が実行されるとバス起動要求を中断してDMAコントローラ以外の他のバスマスターにバス使用权を解放することにより、DMA及び他のバスマスター両者の転送効率の向上を得ることができるという有利な効果が得られる。

【図面の簡単な説明】

【図1】

本発明の実施の形態におけるDMAコントローラを用いた情報処理装置のブロック図

【図2】

同実施の形態によるDMAコントローラ11のブロック図

【図3】

同実施の形態によるDMA転送の動作例を示す動作概念図

【図4】

図3における第1の間欠転送の動作タイミング図

【図5】

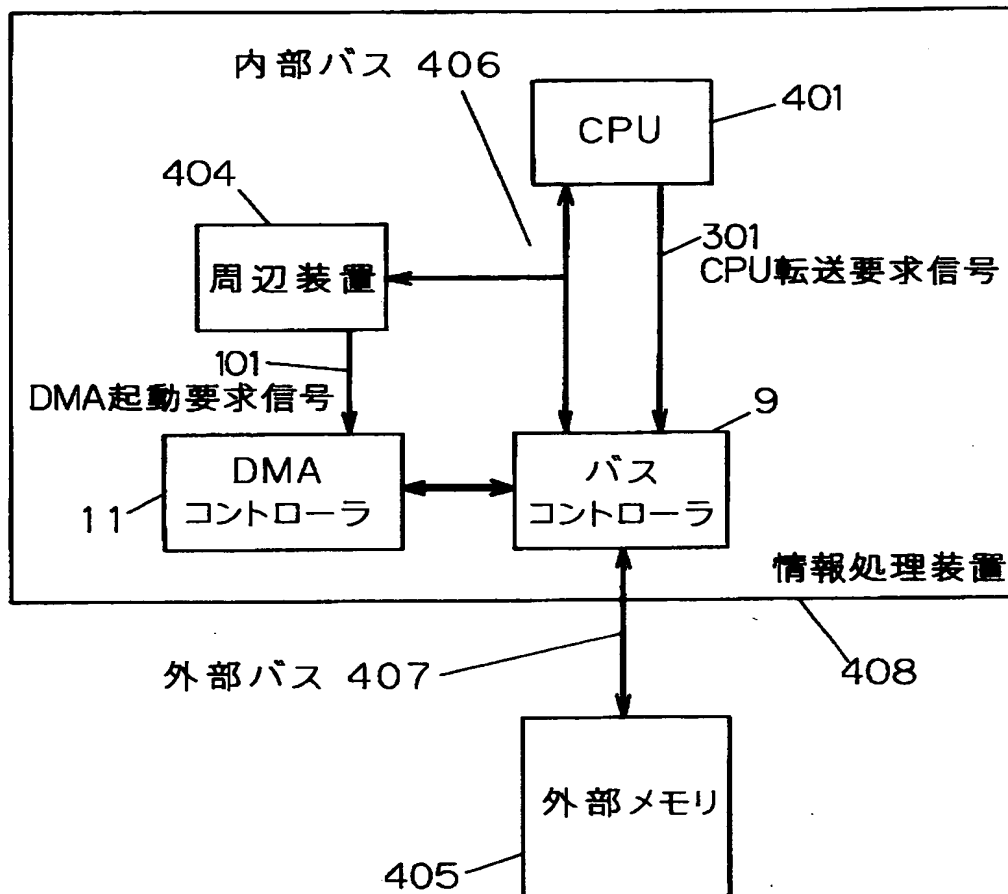
従来のDMAコントローラの動作概念図

【符号の説明】

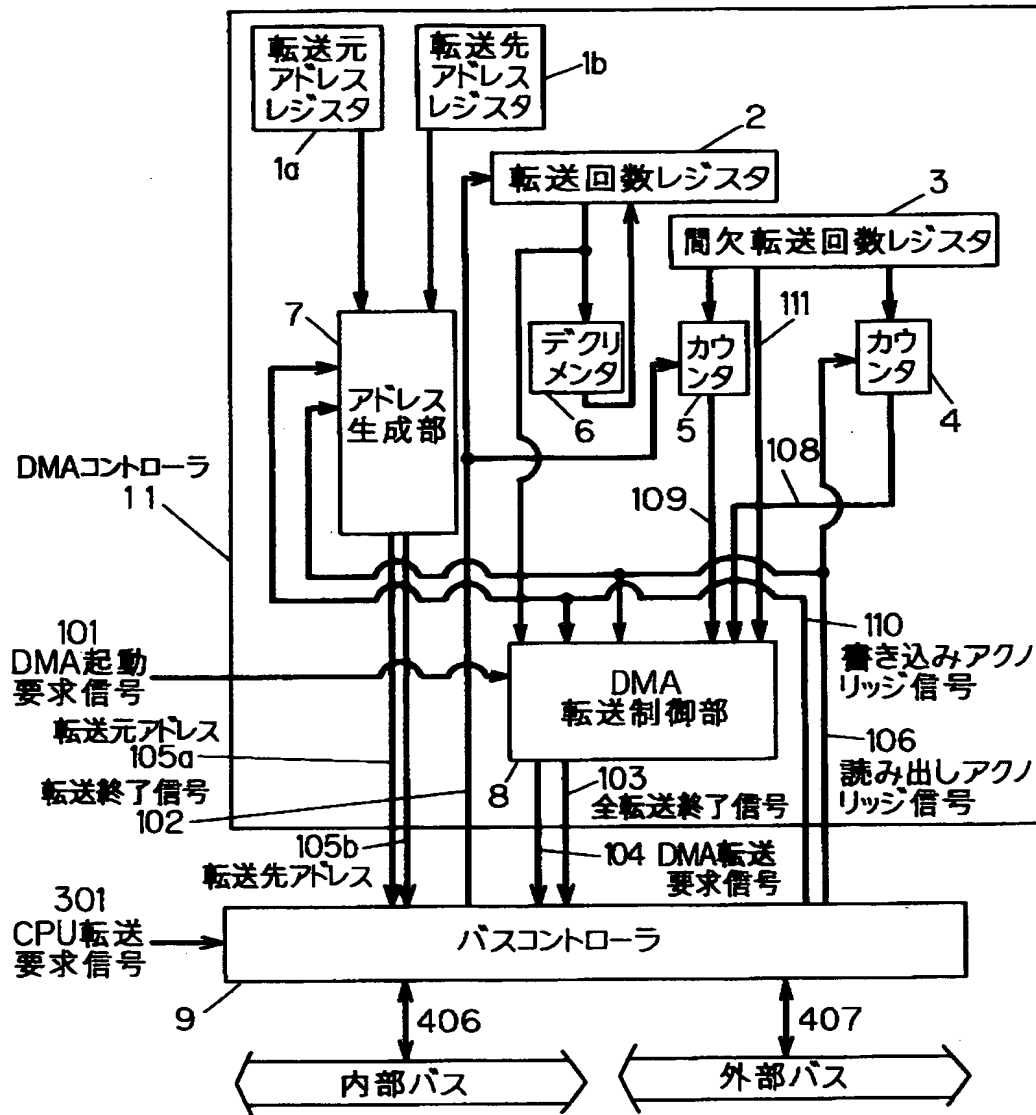
- 1 a 転送元アドレスレジスタ
- 1 b 転送先アドレスレジスタ
- 2 転送回数レジスタ
- 3 間欠転送回数レジスタ
- 4, 5 カウンタ
- 6 デクリメンタ
- 7 アドレス生成部
- 8 DMA転送制御部
- 9 バスコントローラ
- 11 DMAコントローラ
- 401 CPU
- 404 周辺装置
- 408 情報処理装置
- 406 内部バス
- 407 外部バス
- 405 外部メモリ

【書類名】 図面

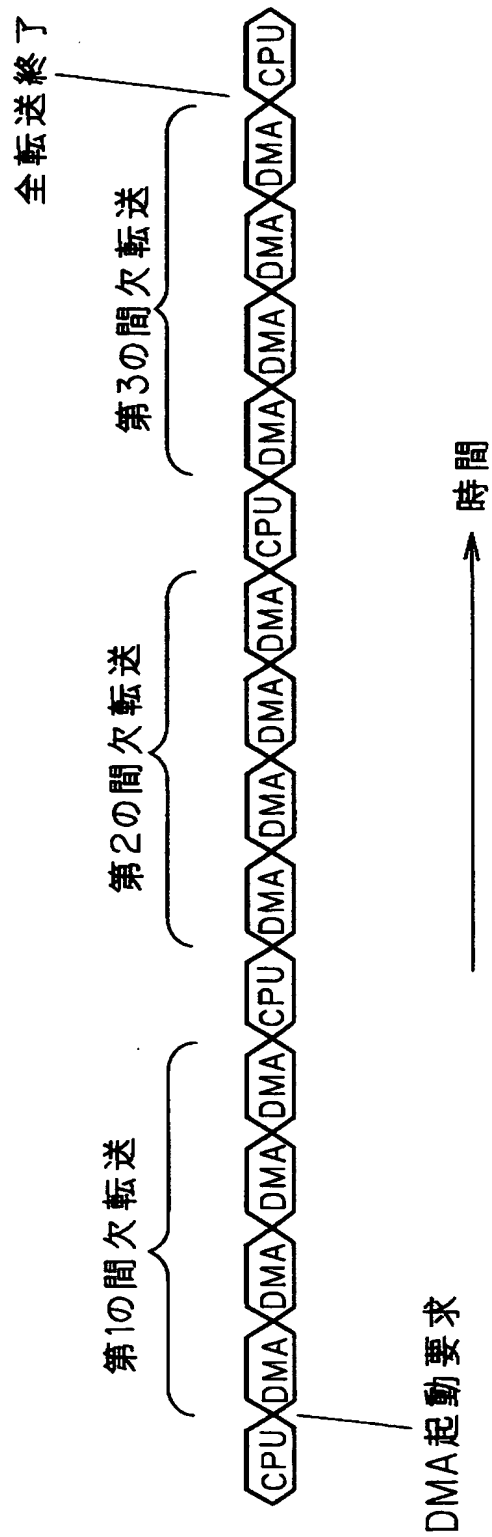
【図1】



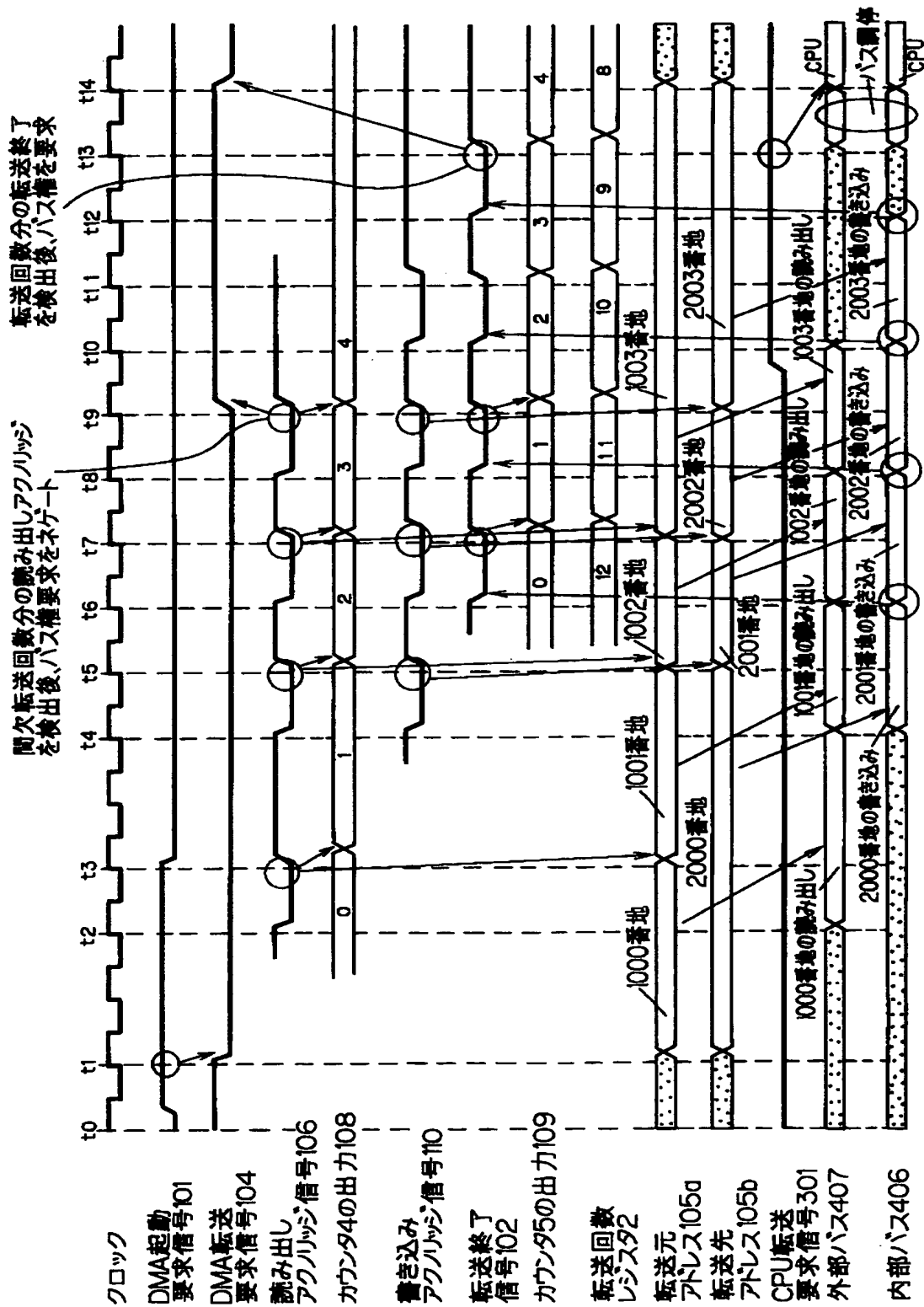
【図2】



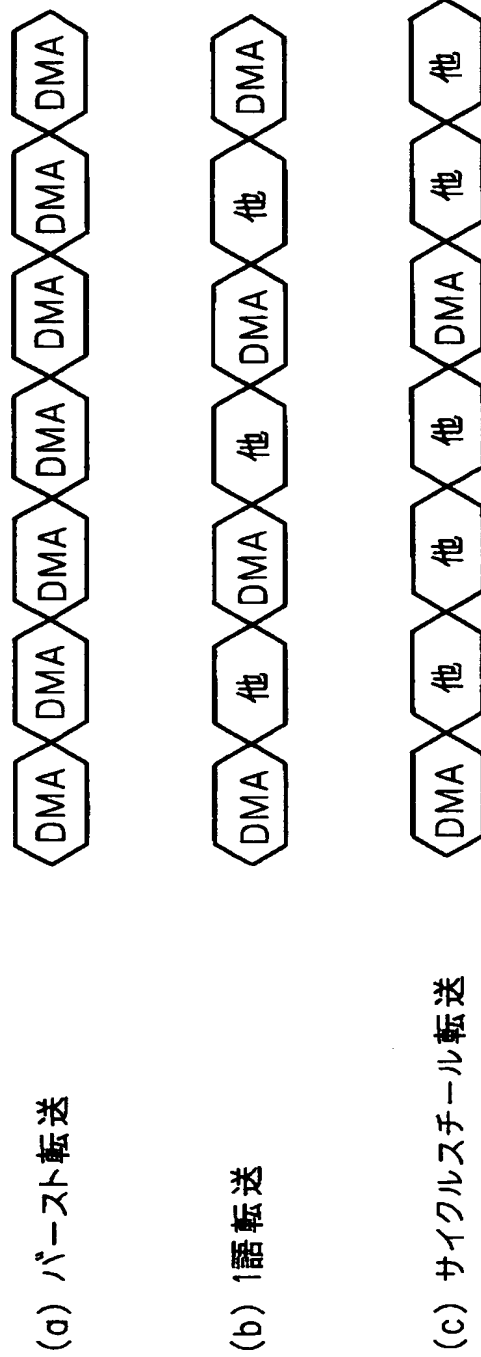
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 DMA転送中であっても他のバスマスターが長時間待機させられることなく、かつ、所定の時間DMAコントローラがバスの使用権を獲得しその間はDMA転送が連続に行なえるDMA転送方法およびDMAコントローラを提供する。

【解決手段】 バス調停手段に対してバス使用要求を発し、前記バス調停手段からバス使用権を得てDMA転送を行うDMAコントローラにおいて、転送するデータの個数を指定する転送回数レジスタ2と、1回の連続転送により転送するデータの個数を指定する間欠転送回数レジスタ3と、転送されたデータの数を数える転送回数カウンタ4と、転送制御手段8とを設け、転送制御手段8は転送回数カウンタ4により、間欠転送回数レジスタ3に設定された回数だけ転送が実行されたことが判明すると、転送回数レジスタ2に設定された回数だけ転送が実行されていない場合であっても一旦バス使用要求を中断してバス使用権を解放し、再びバス使用権を得た後に転送を再開するように構成したものである。

【選択図】 図2

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.